



Universidad Nacional de San Luis
Rectorado

"2015 - Año del Bicentenario del Congreso de los Pueblos Libres"

ES COPIA
OSCAR GUILLERMO SEGURA
Director de Despacho
UNSL

SAN LUIS, 20 ABR 2015

VISTO:

El Expediente EXP-USL: 1567/2015 mediante el cual se solicita la protocolización del Curso de Posgrado: **PROCESAMIENTO DIGITAL DE SEÑALES Y APLICACIONES EMBEBIDAS EN FPGA. HERRAMIENTAS DE DISEÑO DE SISTEMAS, SIMULACIÓN Y SÍNTESIS;** y

CONSIDERANDO:

Que el Curso de Posgrado se propone dictar en el ámbito de la Facultad de Ciencias Físico Matemáticas y Naturales del 13 al 18 de abril de 2015, con un crédito horario de 44 horas presenciales y bajo la coordinación del Ing. Diego COSTA.

Que la Comisión Asesora de Posgrado de la Facultad de Ciencias Físico Matemáticas y Naturales recomienda aprobar el curso de referencia.

Que el Consejo de Posgrado de la Universidad Nacional de San Luis en su reunión del 7 de abril de 2015, analizó la propuesta y observa que el programa del curso, bibliografía, metodología de evaluación y docentes a cargo, constituyen una propuesta de formación de posgrado de calidad en su campo específico de estudio.

Que, por lo expuesto, el Consejo de Posgrado aprueba la propuesta como Curso de Posgrado, según lo establecido en Ordenanza CS N° 23/09.

Que corresponde su protocolización.

Por ello y en uso de sus atribuciones

EL RECTOR DE LA UNIVERSIDAD NACIONAL DE SAN LUIS

RESUELVE:

ARTÍCULO 1°.- Protocolizar el dictado del Curso de Posgrado: **PROCESAMIENTO DIGITAL DE SEÑALES Y APLICACIONES EMBEBIDAS EN FPGA. HERRAMIENTAS DE DISEÑO DE SISTEMAS, SIMULACIÓN Y SÍNTESIS,** en el ámbito de la Facultad de Ciencias Físico Matemáticas y Naturales del 13 al 18 de abril de 2015, con un crédito horario de 44 horas presenciales.

ARTÍCULO 2°.- Protocolizar el cuerpo docente constituido por: Responsable: M.Sc. Cristian **SISTERNA** (DNI N° 14.074.794) de la Universidad Nacional de San Juan,

Cpde **RESOLUCIÓN R N°**

466

[Firma]
Dr. Félix D. Nieto Quintan
Rector
U.N.S.L.

[Firma]
Dra. Alicia Marcela Printista
Secretaría de Posgrado
U.N.S.L.



Universidad Nacional de San Luis
Rectorado

"2015 - Año del Bicentenario del Congreso de los Pueblos Libres"



Corresponsable: Ing. Carlos **SOSA PÁEZ** (DNI N° 12.920.381) de la Universidad Nacional de Córdoba, Auxiliar: Ing. Diego **COSTA** (DNI N° 22.272.157) de la Universidad Nacional de La Plata.

ARTÍCULO 3°.- Aprobar el programa del Curso de referencia, de acuerdo al **ANEXO** de la presente disposición.-

ARTÍCULO 4°.- Comuníquese, insértese en el Libro de Resoluciones, publíquese en el Digesto Electrónico de la UNSL y archívese.-

RESOLUCIÓN R N° 466

mav

Dra. Alicia Marcela Printista
Secretaria de Posgrado
U.N.S.L.

Dr. Felix D. Nieto Quintas
Rector
U.N.S.L.



Universidad Nacional de San Luis
Rectorado

"2015 - Año del Bicentenario del Congreso de los Pueblos Libres"

ES COPIA
JOSAF GUILLELMO SEGURA
Director de Despacho
UNSL

ANEXO

DENOMINACIÓN DEL CURSO: PROCESAMIENTO DIGITAL DE SEÑALES Y APLICACIONES EMBEBIDAS EN FPGA. HERRAMIENTAS DE DISEÑO DE SISTEMAS, SIMULACIÓN Y SÍNTESIS

UNIDAD ACADÉMICA RESPONSABLE: Facultad de Ciencias Físico Matemáticas y Naturales

CATEGORIZACIÓN: Perfeccionamiento

RESPONSABLE: M.Sc. Cristian **SISTERNA**

CORRESPONSABLE: Ing. Carlos **SOSA PÁEZ**

AUXILIAR: Ing. Diego **COSTA**

COORDINADOR: Ing. Diego **COSTA**

CRÉDITO HORARIO: 44 horas

MODALIDAD DE DICTADO: Presencial

FECHA DE DICTADO DEL CURSO: 13 al 18 de abril de 2015

FECHA PREVISTA PARA ELEVAR LA NÓMINA DE ALUMNOS

APROBADOS: 20 de junio de 2015

DESTINATARIOS: Egresados con título de grado universitario en Ingeniería Electrónica, Informática y en disciplinas afines a la temática del curso.

LUGAR DE DICTADO: Complejo Arenas de la Punta – Ciudad de La Punta – San Luis.

CUPO: 40 personas.

FUNDAMENTACIÓN: El curso se organiza en el marco de una serie de actividades de la Red Universitaria de Sistemas Embebidos (RUSE) del CONFEDI. El dictado del curso se realizará en la 4ta Escuela de Sistemas Embebidos de San Luis, cuyo Comité Organizador está integrado por docentes del Área Electrónica y Microprocesadores del Departamento de Física y docentes del Departamento de Informática de la Facultad de Ciencias Físico, Matemáticas y Naturales de la UNSL. Es una actividad orientada a docentes universitarios de todo el país cuyo principal objetivo es que puedan incorporar en su formación las nuevas tecnologías y métodos de trabajo en la electrónica digital programable por hardware.

Los sistemas embebidos que combinan hardware y software poseen una creciente aplicación en múltiples usos por su bajo costo, flexibilidad, reprogramabilidad, reconfigurabilidad y menor tiempo de desarrollo y testeo que otro tipo de implementaciones. Las metodologías de trabajo propuestas en el presente curso, ofrecen gran versatilidad para realizar implementaciones de procesamiento digital de señales, cuestión clave para el tratamiento de las entradas y salidas de dichos sistemas.

Cpde RESOLUCIÓN R N° **466**

Jr. Felix Diaz Quintas
Rector
U.N.S.L.

Dra. Alicia Mercedes Pirilista
Secretaria de Posgrado
U.N.S.L.



Universidad Nacional de San Luis
Rectorado

ES COPIA
OSCAR GUILLERMO SEGURA
Director de Despacho
UNSL

OBJETIVOS:

Estudio de la teoría, algoritmos y técnicas avanzadas de diseño de aplicaciones de procesamiento digital de señales para su implementación en dispositivos lógicos configurables FPGAs, haciendo uso de herramientas de generación y simulación de algoritmos matemáticos y herramienta de síntesis para generar la respectiva lógica digital, optimizada de acuerdo a la aplicación.

CONTENIDOS MÍNIMOS:

Procesamiento Digital de Señales, Arquitectura de un FPGA, Sistemas Digitales Avanzados, Filtros Digitales, Aritmética Binaria, Lenguaje de Descripción de Hardware, Simulink/MatLab.

PROGRAMA:

1. Señales y Sistemas

Tipos de Señales. Tipos de Sistemas. Características. Respuesta al impulso. Convolución. Diagrama en bloques. FIR. IIR. Ecuación en diferencias. Señales y espectros. Serie discreta de Fourier. Transformada de Fourier de Tiempo Discreto. Propiedades. Transformada Z bilateral y unilateral. Propiedades. Análisis en el dominio z de señales y sistemas lineales e invariantes en el tiempo: Relación entre la convolución, ecuación en diferencias, respuesta impulsiva, función de transferencia y respuesta en frecuencia. Respuesta natural, respuesta forzada y condiciones iniciales.

2. Flujo de Diseño Simulink-System Generator

Introducción a Matlab y Simulink. Flujo de diseño Simulink-System Generator. Ejemplos básicos. Período de muestreo en Simulink. Introducción a System Generator (Xilinx). Conjunto de bloques básicos de Xilinx en Simulink. Generación de archivos del FPGA. Conjunto de bloques de referencia. Interface Simulink-FPGA. Bloques Gateway In y Gateway Out. Tipos de datos. Opciones comunes de los parámetros de bloques. Bloque System Generator. Ejemplo de diseño de un sistema en Simulink y su implementación en el FPGA.

3. Arquitectura y Tecnología FPGA para DSP

Arquitectura de un FPGA. Importancia de los bloques DSPs en un FPGA. Recursos lógicos disponibles en un FPGA. Bloques de memoria. Recursos dedicados de reloj, ruteo, DCM, PLL. Configuración de un FPGA. Bloque dedicado DSP en un FPGA. Bloque DSP48/A/1/E1.

4. Muestro y Cuantización

Muestreo y reconstrucción en el dominio del tiempo. Teorema del muestreo. Relación entre el tiempo y la frecuencia en el dominio continuo y el discreto. Representación y ubicación de las réplicas. Conversión A/D y D/A. Cuantización. Transferencia y error de cuantización. Muestreo y retención. DFT. Interpretaciones. Propiedades. Error de muestreo por jitter. Aliasing de una señal; ejemplos y espectros. Filtro anti-alias. Filtro de reconstrucción. Frecuencia de muestreo estándares. Rango dinámico de datos binarios.


Dr. Felix D Nieto Quintas
Rector
U.N.S.L.


Dra. Alicia Martínez
Secretaria de Posgrado
U.N.S.L.



Universidad Nacional de San Luis
Rectorado

ES COPIA
USCA: MINISTERIO SEGURA
Director de Despacho
UNSL

5. Aritmética para DSP-FPGA

Representación de números enteros sin signo. Enteros con signo, representación en complemento a uno y en complemento a dos. Representación de valores no enteros. Números binarios en punto fijo. Cuantización en punto fijo. Normalización, formato Q. Suma en punto fijo. Overflow y Wraparound. Saturación, Truncado, Redondeo y Trounding.

6. Filtros Digitales

Diseño de filtros digitales. Especificaciones. Diseño de filtros FIR de fase lineal: Método de las ventanas, de muestreo en frecuencia y óptimo. Diseño de filtros IIR a partir de filtros analógicos: Mediante la transformación invariante al impulso y por transformación bilineal. Estructuras para sistemas FIR: Estructura en forma directa, en cascada, de muestreo en frecuencia, en celosía. Estructuras para sistemas IIR: Estructuras en forma directa, en cascada, en paralelo, en celosía escalonada. Transposición. Uso de la herramienta FDATool de Matlab.

7. Implementación de Filtro FIR

Tipos de implementación. Latencia. Camino crítico. Optimización de recursos. Maximización de frecuencia de funcionamiento. Arreglos sistólicos. Uso del bloque DSP48 del FPGA. Ejemplo de implementación. Distintos tipos de multiplicadores de coeficientes. Herramientas de optimización de rendimiento.

8. VHDL para Síntesis en FPGAs con bloques DSPs

Conceptos básicos de VHDL. Estructura de un archivo VHDL, entidad, arquitectura, paquetes. Señales y variables. Datos objetos y tipos. Código VHDL para instanciación e inferencia de componentes del FPGA. Jerarquía. Simulación, ciclo delta. Test bench. Ejemplos de test bench. Declaración y uso de atributos para síntesis. Descripción en VHDL de un filtro FIR. Simulación de un filtro FIR.

9. Síntesis en FPGA de Algoritmos DSP

Comprensión del entorno de desarrollo ISE de Xilinx. Herramienta de síntesis. Reporte de síntesis. Análisis de retardos y frecuencias de funcionamiento. Archivo de restricciones de usuario. Principales restricciones. Uso de atributos de VHDL para la utilización de lógica específica. Mapeo, localización y ruteo de los elementos lógicos del diseño. Reportes de las distintas herramientas. Introducción al uso del editor de FPGA.

SISTEMA DE EVALUACIÓN: Presentación de trabajos de laboratorio en hardware.

BIBLIOGRAFÍA:

1. "Digital Signal Processing with Field Programmable Gate Arrays". Uwe Meyer-Baese. Springer, Third Edition, 2007.
2. "Understanding Digital Signal Processing". Richard Lyons. Pearson Education. Second Edition, 2006.
3. "The Designer's Guide to VHDL". P. Ashenden. Morgan Kaufman, Third Edition, 2008.

Cpde RESOLUCIÓN R^o 466

Felix D. Alvarez Guzmán
Rector
U.N.S.L.

Dra. Ana María Picheta
Secretaria de Posgrado
U.N.S.L.



Universidad Nacional de San Luis
Rectorado

"2015 - Año del Bicentenario del Congreso de los Pueblos Libres"

ES COPIA
OSCAR GUILLERMO SEGURA
Director de Despacho
UNSL

4. "Digital Design. Principles and Practices". J. Wakerly. Prentice Hall. 2004.
5. "FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version". Pong Chu. Wiley Interscience, 2008.
6. "Synthesis and Optimization of Digital Circuits". Giovanni De Micheli. Mc-Graw Hill. 1994.
7. "Introduction to MATLAB and SIMULINK, A Project Approach". Ottmar Beucher and Michael Weeks. Third Edition. Jones and Barlett Publishers, 2007.
8. "A VHDL Primer". Jayaram Bhasker. Prentice Hall. Third Edition. 1998.
9. "Virtex-5 FPGA XtremeDSP Design Considerations". User's Guide 193. Xilinx Inc. 2010.
10. "System Generator for DSP". Reference Guide. Xilinx Inc. 2008.
11. "Virtex-5". User Guide 190. Xilinx Inc. 2007.

ARANCEL: Sin costo.

Cpde RESOLUCIÓN R N° **466**
may

Dr. Alicia Marcela Printista
Secretaria de Posgrado
U.N.S.L.

Dr. Felix D. Nieto Quintas
Rector
U.N.S.L.