



Universidad Nacional de San Luis  
Rectorado

"2015 - Año del Bicentenario del Congreso de los Pueblos Libres"

**ES COPIA**  
OSCAR GUILLEMO SEGURA  
Director de Despacho  
UNSL

SAN LUIS, 23 SEP 2015

**VISTO:**

El Expediente EXP-USL: 8573/2015 mediante el cual se solicita la protocolización del Curso de Posgrado: **DISEÑO DE SISTEMAS EN CHIP (SoC) EN FPGAs**; y

**CONSIDERANDO:**

Que el Curso de Posgrado se propone dictar en el ámbito de la Facultad de Ciencias Físico Matemáticas y Naturales los días 17 y 18 de septiembre, 1, 2, 15 y 16 de octubre, 5 y 6 de noviembre de 2015, con un crédito horario de 90 horas presenciales y bajo la coordinación del Ing. Alejandro **NUÑEZ MANQUEZ**.

Que la Comisión Asesora de Posgrado de la Facultad de Ciencias Físico Matemáticas y Naturales recomienda aprobar el curso de referencia.

Que el Consejo de Posgrado de la Universidad Nacional de San Luis en su reunión del 8 de septiembre de 2015, analizó la propuesta y observa que el programa del curso, bibliografía, metodología de evaluación y docentes a cargo, constituyen una propuesta de formación de posgrado de calidad en su campo específico de estudio.

Que, por lo expuesto, el Consejo de Posgrado aprueba la propuesta como Curso de Posgrado, según lo establecido en Ordenanza CS N° 23/09.

Que corresponde su protocolización.

Por ello y en uso de sus atribuciones

**EL RECTOR DE LA UNIVERSIDAD NACIONAL DE SAN LUIS**

**RESUELVE:**

**ARTÍCULO 1°.-** Protocolizar el dictado del Curso de Posgrado: **DISEÑO DE SISTEMAS EN CHIP (SoC) EN FPGAs**, en el ámbito de la Facultad de Ciencias Físico Matemáticas y Naturales los días 17 y 18 de septiembre, 1, 2, 15 y 16 de octubre, 5 y 6 de noviembre de 2015, con un crédito horario de 90 horas presenciales.

**ARTÍCULO 2°.-** Protocolizar el cuerpo docente constituido por: Responsable: M.Sc. Cristian **SISTERNA** (DNI N° 14.074.794) de esta Casa de Altos Estudios.

Sr. Felix D. Nieto Quintas  
Rector  
UNSL

Dra. Mercedes Campodónico  
Secretaría de Ciencia y Tecnología  
UNSL

Cpde RESOLUCIÓN R N° **1489**



Universidad Nacional de San Luis  
Rectorado

"2015 - Año del Bicentenario del Congreso de los Pueblos Libres"

**ES COPIA**  
OSCAR GUILLEMO SEGURA  
Director de Despacho  
UNSL

**ARTÍCULO 3°.-** Aprobar el programa del Curso de referencia, de acuerdo al ANEXO de la presente disposición.-

**ARTÍCULO 4°.-** Comuníquese, insértese en el Libro de Resoluciones, publíquese en el Digesto Electrónico de la UNSL y archívese.-

**RESOLUCIÓN R N° 1489**  
may

Dra. Mercedes Campderrós  
Secretaría de Ciencia y Tecnología  
UNSL

Dr. Félix D. Nieto Quintas  
Rector  
U.N.S.L.



Universidad Nacional de San Luis  
Rectorado

"2015 - Año del Bicentenario del Congreso de los Pueblos Libres"

ES COPIA  
OSCAR GUILLETINO SEGURA  
Director de Desarrollo  
UNSL

## ANEXO

**DENOMINACIÓN DEL CURSO: DISEÑO DE SISTEMAS EN CHIP (SoC) EN FPGAs**

**UNIDAD ACADÉMICA RESPONSABLE:** Facultad de Ciencias Físico Matemáticas y Naturales

**CATEGORIZACIÓN:** Perfeccionamiento

**RESPONSABLE:** M.Sc. Cristian SISTERNA

**COORDINADOR:** Ing. Alejandro NUÑEZ MANQUEZ

**CRÉDITO HORARIO:** 90 horas

**MODALIDAD DE DICTADO:** Semipresencial

**FECHA DE DICTADO DEL CURSO:** 17 y 18 de septiembre, 1, 2, 15 y 16 de octubre, 5 y 6 de noviembre de 2015

**FECHA PREVISTA PARA ELEVAR LA NÓMINA DE ALUMNOS APROBADOS:** 21 de marzo de 2016

**DESTINATARIOS:** Egresados con título de grado universitario en Ingeniería, relacionados con las aplicaciones de electrónica, sistemas embebidos y en disciplinas afines a la temática del curso.

**LUGAR DE DICTADO:** Laboratorio 13 – 2do Piso Bloque II – Ejército de los Andes 950 – San Luis.

**CUPO:** 20 personas.

**FUNDAMENTACIÓN:** El permanente desarrollo tecnológico y la necesidad de realizar control automático y procesamiento de señales originó el nacimiento de una de las áreas tecnológicas de mayor crecimiento a nivel mundial: los Sistemas Embebidos. Estos sistemas, han manifestado un gran desarrollo sustentado en dos tendencias fundamentales: la programación y la configuración de circuitos. Este tipo de sistemas se utiliza en diversas áreas como son: la tecnología de la información, las comunicaciones móviles y los sistemas de control específicos. Los Sistemas Embebidos (SE) deben afrontar problemas de tiempo real, requiriendo no solamente proveer una determinada plataforma funcional sino también haciéndolo dentro de intervalos de tiempo determinados y con alta confiabilidad.

### OBJETIVOS:

Al finalizar el curso el participante adquirirá los siguientes conocimientos:

- Conocer la arquitectura de SoCs y FPGAs avanzados. Entender la implementación en silicio en un FPGA de un microprocesador tipo ARM.
- Comprender e implementar la interface FPGA-ARM.

Cpde RESOLUCIÓN R N° 1489

Dr. Felipe...  
Rector  
U.N.S.L.

Dra. Mercedes Campderrós  
Secretaría de Ciencia y Tecnología  
UNSL



Universidad Nacional de San Luis  
Rectorado

**ES COPIA**  
OSCAR GUILLETINO SIGURA  
Director de Despacho  
UNSL

- Conocer detalles de la implementación de Sistemas Embebidos en un FPGA.
- Aprender el flujo de diseño de SE en software especializados tipo Vivado.
- Usar y conocer herramienta para el desarrollo del software en „C“ para SE.
- Escribir de archivos de restricción de tiempo y de pines de E/S.
- Entender reportes de tiempo (timing) de un sistema digital implementado en FPGA.
- Conocer las diferentes opciones de configuración de la herramienta de locación y ruteo de un FPGA.
- Configurar y depurar un SE en un FPGA.
- Usar una placa de desarrollo para implementar un SE específico.

### CONTENIDOS MÍNIMOS:

Conocer los aspectos avanzados de Sistemas Digitales en Chip y metodologías de diseño.

Aprender a diseñar un sistema en chip utilizando los recursos disponibles en los FPGAs más avanzados del mercado. Conocer y usar microprocesadores ARM, sus periféricos e interface con la lógica programable del FPGA. Adquirir los conocimientos necesarios para definir el hardware de un sistema, en su correspondiente lenguaje de Descripción de Hardware (VHDL), y el desarrollo del software del sistema en chip en „C“. Implementar en una placa de evaluación y desarrollo el diseño de un sistema en chip.

### PROGRAMA:

Unidad 1: Sistemas en Chip (SOC)

Aspectos avanzados de diseño de Sistemas Digitales. Modernas metodologías de diseño y verificación de Sistemas en Chip. Modelado Hardware-software. Arquitectura de sistemas basados en SoCs.

Unidad 2: FPGAs SoC

Arquitectura de un FPGA-SoC. FPGAs Series 7 de Xilinx. Recursos disponibles. Bloque DSP, IOs y de Memoria. Bloques dedicados de muy alta velocidad de transmisión y recepción serie. Recursos de reloj, MMCM, PLL y ruteo dedicado. Bloque de Procesamiento de Sistema (ARM). Componentes del bloque PS. Bloque de Lógica Programable (PL). Interconexión PS-PL, diferentes modos de comunicación. Configuración de un FPGA-SoC.

Unidad 3: Arquitectura y Configuración de la Placa ZedBoard

Diferentes arquitecturas. Placa de Evaluación y Desarrollo: ZedBoard. Conectores de expansión. Modos de configuración. Voltajes de alimentación, tests y puntos de prueba. Bancos de E/S. Configuración de jumpers. Principales funciones y componentes. Interfaces con USB, memorias DDRx, audio, VGA, HDMI, SD, Ethernet. Fuentes de reloj y de reset. Entradas y salidas disponibles para usuario.

Unidad 4: Flujo de Diseño en SoCs

Diferentes métodos de diseño. Uso de la herramienta Vivado. Creación, configuración y mantenimiento de proyectos. Tipos de proyectos. Opciones de Síntesis, Map y Place and Route. Controladores de reloj de FPGA. Uso del Architecture Wizard. Simulación. Visualización RTL: Reportes. Cross-probing. Uso de IP Integrator e IP Catalog.

Cpde RESOLUCIÓN R N° 1489

Dr. Félix [Signature]  
Rector  
U.N.S.L.

[Signature]

Dra. Mercedes Campodónico  
Secretaria de Ciencia y Tecnología  
UNSL



Universidad Nacional de San Luis  
Rectorado

ES COPIA  
SECRETARÍA DE CIENCIA Y TECNOLOGÍA  
UNSL

#### Unidad 5: Opciones de Síntesis y Restricciones de Tiempo

Proceso de elaboración de un diseño. Proceso de análisis y sus reportes. Opciones de las herramientas de síntesis. Atributos de síntesis. Restricciones de tiempo. Restricción de periodo de reloj, de retardo de entrada y de retardo de salida. Reportes de síntesis y de restricciones de tiempo.

#### Unidad 6: Diseño de Sistemas Embebidos

Interface AXI4. Diseño de sistemas embebidos usando interface AXI4. Uso de la herramienta IP Integrator de Vivado. Creación de un sistema procesador usando IP Integrator. Periféricos disponibles para ser usados en SE, IP Catalog, IP Integrator. Creación y uso de IP propios con interface AXI4. Detalle de la arquitectura Zynq para aplicaciones de SE.

#### Unidad 7: Implementaciones en Plataformas de Desarrollo - Análisis Estático de Tiempos.

Opciones de implementación, de optimización, de ruteo y de locación. Comprensión de los reportes de implementación, de utilización y de I/Os. Análisis estático de tiempo (STA). Retardos, componentes de retardo. Comprensión del reporte de STA. Camino del periodo mínimo. Tiempo de sostenimiento, y de mantenimiento. Restricción de retardo de entrada y de retardo de salida. Restricciones de diseño, usando interface gráfica o usando archivo de texto. Asignación de pines de I/O manual o automática.

#### Unidad 8: Desarrollo de Software para Sistemas Embebidos (SE).

Introducción al Software Development Kit (SDK) de Xilinx. Flujo de desarrollo para SE. Entorno Eclipse, espacio de trabajo y perspectivas. Proyectos. Paquete de soporte de board del SE. Desarrollo de software en „C“ para SE. Herramienta GCC. Opciones de configuración del compilador. Mapa de memoria: ARM9 y lógica programable. Mapa de memoria de periféricos de I/O. Uso de las herramientas de depuración (debug) en Eclipse. Drivers de software disponibles: Nivel 0; Nivel 1. Comparación de niveles. Timers del ARM9. Herramientas de depuración de Xilinx.

#### Unidad 9: Depuración de Programas en 'C'

Perspectiva de depuración en el entorno Eclipse del SDK. Distintas pantallas disponibles. Uso y configuración de puntos de quiebre (breakpoints). Inspección de registros y lugares específicos de memoria. Ejecución paso a paso, salto de funciones. Cambio de valores de registros y de lugares de memoria.

#### Unidad 10: Programación de Interrupciones y Timers

Uso de interrupción en un sistema basado en microprocesador. Interrupciones en el ARM. Interrupciones vectorizadas. Cuando usar interrupciones. Flujo de ejecución de una interrupción, Rutina de atención de interrupción. Configuración de la rutina, inserción en el programa principal (main()). Drivers en 'C' para interrupciones. Timers disponibles en el PS. Uso y configuración de los timers.

#### Unidad 11: Interface ZedBoard - Memorias Externas

Identificación de los recursos de memorias del SoC. Memoria on- chip. Tecnología de memorias disponibles en el mercado. Descripción de interface con memorias externas.

Cpde RESOLUCIÓN R N° 1489

Dr. Felix D. Nieto Luján  
Rector  
UNSL

Dra. Mercedes Campodónico  
Secretaría de Ciencia y Tecnología  
UNSL



Universidad Nacional de San Luis  
Rectorado

"2015 - Año del Bicentenario del Congreso de los Pueblos Libres"

ES COPIA  
COMPARAR QUEL PAGO SEGURO  
DIRECCION DE DESARROLLO  
UNSL

Detalle de los diagramas de tiempo para interfaces externas. Controladores de memorias disponibles en el bloque ARM9. Memorias disponibles en el ZedBoard. Operación de una RAM dinámica. Configuración del bloque AXI External Memory Controller.

### SISTEMA DE EVALUACIÓN:

Para la aprobación del curso se deberán presentar todos los laboratorios propuestos correctamente funcionando. También se deberá desarrollar y presentar un proyecto final implementado en la placa ZedBoard. La temática del proyecto final puede ser orientada por el Profesor o presentada por los estudiantes con aprobación del Profesor.

### BIBLIOGRAFÍA:

- "Embedded System Design with Platform FPGAs, Principles and Practices", R. Sass and A. Schmidt. Morgan Kaufman, 2014.
- "The Zynq Book: Embedded Processing with the Arm Cortex-A9 on the Xilinx Zynq7000 All Programmable Soc", L. Crockett, R. Elliot, M. Enderwitz. Strathclyde Academic Media, 2104.
- "FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version". Pong Chu. Wiley Interscience, 2008.
- "Advanced FPGA Design Architecture, Implementation and Optimization". Steve Kilts; John Wiley & Sons Inc., 2007.
- "Zynq-7000 All Programmable SoC Technical Reference Manual", Xilinx User Guide 585, V1.10. 2015.
- "Zynq-7000 All Programmable SoC Software Developers Guide", Xilinx User Guide 821, V11.0. 2015.
- "Vivado Design Suite User Guide Embedded Processor Hardware Design", Xilinx User Guide 898, V2015.2. 2015.
- "Vivado Design Suite User Guide Programming and Debugging". Xilinx User Guide 908, V2015.2. 2015.
- "Vivado Design Suite User Guide Designing IP Subsystems, Using IP Integrator", Xilinx User Guide 994, V2015.2. 2015.
- "Vivado Design Suite User Guide Using Constraints", Xilinx User Guide 903, V2015.1. 2015.
- "Vivado Design Suite User Guide Hierarchical Design". Xilinx User Guide 905, V2015.1, 2015.
- "C Programming for Embedded Systems". K. Zurell, R&D Books. 2000.

**ARANCEL:** \$800 (pesos ochocientos).

— Docentes de la UNSL: Gratuito.

**COSTOS Y FUENTE DE FINANCIAMIENTO:** LEIS y Departamento de Física de la FCFMyN – UNSL.

Cpde RESOLUCIÓN R N° 1489

may

Dra. Mercedes Campodorrós  
Secretaría de Ciencia y Tecnología  
UNSL

Dr. Félix D. Nieto Quinlas  
Rector  
UNSL