



Universidad Nacional de San Luis
RECTORADO

"2026 - Año de la Grandeza Argentina"
"150° Aniversario de la Creación
de la Escuela Normal Juan Pascual Pringles"

"50 años por la Memoria, la Verdad y la Justicia. Nunca más"



SAN LUIS, 12 de junio de 2026.-

VISTO:

El EXPE: 1033/2026, mediante el cual se solicita la protocolización del Curso de Posgrado DISEÑO DE SISTEMAS EMBEBIDOS EN HARDWARE RECONFIGURABLE; y

CONSIDERANDO:

Que el Curso de Posgrado se propone dictar en el ámbito de la Facultad de Ciencias Físico Matemáticas y Naturales desde el 10 de abril al 9 de mayo de 2026 con un crédito horario de SESENTA (60) horas presenciales y bajo la coordinación del Esp. Alejandro NUÑEZ MANQUEZ.

Que la Comisión Asesora de Posgrado de la Facultad de Ciencias Físico Matemáticas y Naturales en su sesión del 25 de febrero de 2026, analizó la propuesta y recomendó aprobar el curso de referencia.

Que el Consejo de Posgrado de la Universidad Nacional de San Luis en su reunión del 16 de marzo de 2026, analizó la propuesta y observa que el programa del curso, bibliografía, metodología de evaluación y docentes a cargo, constituyen una propuesta de formación de posgrado de calidad en su campo específico de estudio.

Que, por lo expuesto, el Consejo de Posgrado aprueba la propuesta como Curso de Posgrado, según lo establecido en Ordenanza CS N° 35/2016.

Que corresponde su protocolización.

Por ello; y en uso de sus atribuciones:

EL RECTOR DE LA UNIVERSIDAD NACIONAL DE SAN LUIS

RESUELVE:

ARTÍCULO 1º.- Protocolizar el dictado del Curso de Posgrado DISEÑO DE SISTEMAS EMBEBIDOS EN HARDWARE RECONFIGURABLE, en el ámbito de la Facultad de Ciencias



Universidad Nacional de San Luis
RECTORADO

"2026 - Año de la Grandeza Argentina"
"150° Aniversario de la Creación
de la Escuela Normal Juan Pascual Pringles"

"50 años por la Memoria, la Verdad y la Justicia. Nunca más"



Físico Matemáticas y Naturales desde el 10 de abril al 9 de mayo de 2026 con un crédito horario de SESENTA (60) horas presenciales.

ARTÍCULO 2°.- Protocolizar el equipo docente del curso: Responsable Dr. Julio DONDO GAZZANO, DU 92010636 y Colaborador Esp. Alejandro NUÑEZ MANQUEZ, DU N° 92494445; ambos de la Universidad Nacional de San Luis.

ARTÍCULO 3°.- Aprobar el programa del Curso de referencia, de acuerdo al ANEXO de la presente disposición.

ARTÍCULO 4°.- Comuníquese, Publíquese en el Digesto Administrativo de la Universidad Nacional de San Luis, insértese en el Libro de Resoluciones, y archívese.

rc

Documento firmado digitalmente según Ordenanza Rectoral N° 15/2021 por: Secretaria Académica, de Innovación Educativa y Posgrado LORENZO, Rosa Alejandra - Rector GIL, Raúl Andrés.



Universidad Nacional de San Luis

RECTORADO

**“2026 - Año de la Grandeza Argentina”
“150° Aniversario de la Creación
de la Escuela Normal Juan Pascual Pringles”
“50 años por la Memoria, la Verdad y la Justicia. Nunca más”**

ANEXO

IDENTIFICACIÓN DEL CURSO

UNIDAD ACADÉMICA RESPONSABLE: Facultad de Ciencias Físico Matemáticas y Naturales.

DENOMINACIÓN DEL CURSO: DISEÑO DE SISTEMAS EMBEBIDOS EN HARDWARE RECONFIGURABLE

CATEGORIZACIÓN: Perfeccionamiento

FECHA DE DICTADO DEL CURSO: desde el 10 de abril al 9 de mayo de 2026

MODALIDAD DE DICTADO: Presencial.

CRÉDITO HORARIO TOTAL: 60 horas (30 horas teóricas, 30 horas de prácticas de laboratorio)

COORDINADOR: Esp. Alejandro NUÑEZ MANQUEZ, DU N° 92494445

EQUIPO DOCENTE

RESPONSABLE: Dr. Julio DONDO GAZZANO

COLABORADOR: Esp. Alejandro NUÑEZ MANQUEZ

PROGRAMA ANALÍTICO

FUNDAMENTACIÓN:

Dado el auge que han tenido en los últimos años las tecnologías relacionadas con los sistemas embebidos, se vuelve indispensable proveer los conocimientos necesarios para que estas arquitecturas se exploten de forma eficiente y optimizada. Sistemas de control y procesamiento de señales en tiempo real son ramas actuales sobre las cuales los tiempos de manipulación de datos se vuelven críticos.

Los sistemas embebidos, particularmente los Sistemas en Chip Reconfigurables (SoCR) permiten la aceleración de tareas debido a su arquitectura híbrida, compuesta por un microprocesador y lógica programable. Estos sistemas pueden modificar su hardware en función de la demanda de cómputo y en forma dinámica, es decir, sin que el sistema se detenga para realizar los cambios de hardware necesarios.



Universidad Nacional de San Luis

RECTORADO

**“2026 - Año de la Grandeza Argentina”
“150° Aniversario de la Creación
de la Escuela Normal Juan Pascual Pringles”
“50 años por la Memoria, la Verdad y la Justicia. Nunca más”**

El flujo de diseño de estos sistemas implica el diseño de los módulos de propiedad intelectual llamados IP, el flujo de diseño del SoC reconfigurable y la programación de los microcontroladores embebidos que pueden ser parte del sistema.

Al brindarle al alumno los conocimientos necesarios para el desarrollo de aplicaciones embebidas, así como la compilación y generación firmware correspondiente al sistema a utilizar sobre el microprocesador del sistema embebido el alumno puede elegir qué sistema es más conveniente para el desarrollo y puesta en funcionamiento de sus aplicaciones así como desarrollar y depurar aplicaciones embebidas en lenguajes de alto nivel.

OBJETIVOS:

Al finalizar este curso los alumnos sabrán desarrollar aplicaciones embebidas utilizando un diseño híbrido (software y hardware) e implementar estrategias de reconfiguración dinámica. También aprenderán a desarrollar y depurar aplicaciones embebidas en lenguajes de alto nivel e integrar la compilación de dichas aplicaciones con el armado total del sistema.

CONTENIDOS MÍNIMOS:

Conocer los aspectos avanzados de Sistemas Digitales en Chip y metodologías de diseño. Aprender a diseñar módulos hardware usando síntesis de alto nivel (hls). Aprender a diseñar un sistema en chip utilizando los recursos disponibles en los FPGAs con microcontroladores embebidos. Conocer y usar microcontroladores ARM, sus periféricos e interfaz con la lógica programable del FPGA. Adquirir los conocimientos necesarios para definir el hardware de un sistema, en su correspondiente lenguaje de Descripción de Hardware (VHDL), y el desarrollo del software del sistema en chip en "C". Implementar en una placa de evaluación y desarrollo el diseño de un sistema en chip.

PROGRAMA DETALLADO:

UNIDAD 1. Unidad 1: Introducción a la Síntesis de alto nivel (HLS - High Level Synthesis). Comprender el flujo de diseño para síntesis de alto nivel en Vivado-HLS. Introducción a la herramienta. Optimizaciones de performance. Terminología: Latencia, productividad, intervalo de inicialización. Desenrollamiento, mezcla y aplanamiento de bucles, segmentación (pipeline) a nivel funciones y bloques. Acceso concurrente a arreglos (memorias). Optimizaciones de área. Control de recursos utilizados. Reuso de componentes. Mantenimiento de jerarquías (inlining). Mapeo y reordenamiento del almacenamiento (array mapping). Precisión en los operadores. Directivas para el control de velocidad y el área. Ejemplos de utilización. Bancos de prueba (testbenches) en C/C++. Flujo de validación y verificación. Codificación en C/C++ para diseño de Hardware. Tipos de datos de ancho no estándar, construcciones no soportadas: punteros, mallocs, etc. Uso de Volátiles. Uso de streaming. Manejo de Interfaces de entrada / salida. Modelos de computación e intercomunicación en HLS. Creación de cores-IP tanto para EDK e IPIntegrator (IP-XACT), interfaces AXI (stream, lite y full) Y conexión con VIVADO HL Design Suite.



Universidad Nacional de San Luis

RECTORADO

“2026 - Año de la Grandeza Argentina”
“150° Aniversario de la Creación
de la Escuela Normal Juan Pascual Pringles”
“50 años por la Memoria, la Verdad y la Justicia. Nunca más”

UNIDAD 2. Arquitectura de una FPGA-SOC. FPGAs Series 7000 de Xilinx y UltraScale +, Recursos disponibles. Interconexión PS-PL. Flujo de diseño en SoCs. Uso de herramienta Vivado. Uso de IP Integrator e IP Catalog. Reportes. Interface AXI4. Diseño de sistemas embebidos usando interface AXI4. Uso de la herramienta IP Integrator de Vivado. Creación de un sistema procesador usando IP Integrator, Periféricos disponibles para ser usados en SE, IP Catalog, IP Integrator. Creación y uso de IP propios con interfaz AXI4. Detalle de la arquitectura Zynq para aplicaciones de SE.

UNIDAD 3. Desarrollo de Software para Sistemas Embebidos (SE). Introducción al Software Development Kit (SDK) de Xilinx. Flujo de desarrollo para SE. Entorno Eclipse, espacio de trabajo y perspectivas. Proyectos. Paquete de soporte de board del SE. Desarrollo de software en "C" para SE. Herramienta GCC. Opciones de configuración del compilador. Mapa de memoria: ARM9 y lógica programable. Mapa de memoria de periféricos de I/O. Uso de las herramientas de depuración (debug) en Eclipse.

UNIDAD 4. Reconfiguración dinámica. Implementación de un sistema con reconfiguración dinámica. Flujo de diseño de un sistema con reconfiguración dinámica. Selección de las áreas dinámicamente reconfigurables (ADRs). Diseño del software para la administración de la reconfiguración dinámica. Booteo por tarjeta de memoria SD.

SISTEMA DE EVALUACIÓN:

Proyecto final individual realizado a partir de propuestas presentadas a los alumnos y el 70% de las prácticas aprobadas.

BIBLIOGRAFÍA

- “Xilinx. 2022. Vivado 2020.1 - High-Level Synthesis (C based). [online] Available at:<https://www.xilinx.com/support/documentation-navigation/design-hubs/dh0012-vivado-high-level-synthesis-hub.html>> [Accessed 29 September 2022].
- “High-Level Synthesis from Algorithm to Digital Circuit”. Editors: Coussy, Philippe, Morawiec, Adam. Buy eBook. ISBN 978-1-4020-8588-8.
- “Vivado Design Suite User Guide” UG904(v2021.1) August 30, 2021. XILINX
- “The Zynq Book: Embedded Processing with the ARM Cortex-A9 on the Xilinx Zynq-7000. All Programmable SoC”. L. H. Crockett, R. A. Elliot, M. A. Enderwitz, and R. W. Stewart. Xilinx Inc. 1era Edition, 2014.
- “Vitis Unified Software Platform Documentation. Embedded Software Development”. UG1400(v2021.2) December 15, 2021. XILINX.



Universidad Nacional de San Luis

RECTORADO

**“2026 - Año de la Grandeza Argentina”
“150° Aniversario de la Creación
de la Escuela Normal Juan Pascual Pringles”
“50 años por la Memoria, la Verdad y la Justicia. Nunca más”**

CARACTERÍSTICAS DEL CURSO

DESTINATARIOS/AS:

Egresados con título de grado universitario en Ingeniería, relacionados con las aplicaciones de electrónica, sistemas embebidos y en disciplinas afines a la temática como Ciencias de la Computación.

CUPO: mínimo 4 - máximo 20 personas.

PROCESO DE ADMISIÓN: Para la admisión se tomarán en cuenta conocimientos básicos de electrónica y de programación, de preferencia C y C++.

CRONOGRAMA DE ACTIVIDADES

Fecha	Tipo de actividad/temas a desarrollar	Docente/s responsable/s de la actividad	Ambito
10 y 11 de abril	Flujo de diseño de módulos IP usando síntesis de alto nivel (HLS)	Julio Dondo Gazzano	Laboratorio 1, Segundo piso del segundo bloque
17 y 18 de abril	Flujo de diseño de módulos IP en lenguaje de descripción de Hardware VHDL.	Julio Dondo Gazzano	Laboratorio 1, Segundo piso del segundo bloque
24 y 25 de abril	Flujo de diseño de RSoC	Julio Dondo Gazzano	Laboratorio 1, Segundo piso del segundo bloque
2 de mayo	Flujo de diseño de RSoC con reconfiguración dinámica	Alejandro Nuñez Manquez	Laboratorio 1, Segundo piso del segundo bloque
8 y 9 de mayo	Diseño de firmware	Julio Dondo Gazzano	Laboratorio 1, Segundo piso del segundo bloque

LUGAR DE DICTADO: Laboratorio 1 del segundo piso del Segundo Bloque, Ejército de los Andes 950.



Universidad Nacional de San Luis

RECTORADO

**“2026 - Año de la Grandeza Argentina”
“150° Aniversario de la Creación
de la Escuela Normal Juan Pascual Pringles”
“50 años por la Memoria, la Verdad y la Justicia. Nunca más”**

FECHA PREVISTA PARA ELEVAR LA NÓMINA DE ESTUDIANTES

APROBADOS/AS: septiembre de 2026.

FINANCIAMIENTO DEL CURSO

COSTOS: Honorarios docentes.

FUENTES DE FINANCIAMIENTO: El curso se financiará a través del cobro de aranceles

ARANCEL GENERAL: \$150.000 (ciento cincuenta mil pesos)

BECA A DOCENTES DE LA UNSL: tendrán un descuento del 100%, por lo que el curso será gratuito.

BECA A ESTUDINATES DE LA UNSL: tendrán un descuento del 100%, por lo que el curso será gratuito.

Hoja de firmas



Sistema: SUDOCU UNSL
Firmado por: SUDOCU UNSL
Fecha: 12/06/2026 08:01:59
Razon: Cargado por SIU-Documentos



Sistema: SUDOCU UNSL
Firmado por: SUDOCU UNSL
Fecha: 16/06/2026 07:57:22
Razon: Autorizado por Rosa Alejandra Lorenzo



Sistema: SUDOCU UNSL
Firmado por: SUDOCU UNSL
Fecha: 16/06/2026 11:52:33
Razon: Autorizado por Raul Andres Gil